

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

3425167

Basic Patent (No,Kind,Date): JP 56070586 A2 810612 <No. of Patents: 001>

DISPLAY DEVICE (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUKAMOTO KATSUhide

IPC: *G09F-009/30; G02F-001/133; G09F-009/00; H01J-017/48

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 56070586	A2	810612	JP 79147932	A	791114 (BASIC)

Priority Data (No,Kind,Date):

JP 79147932 A 791114

?

⑨

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-70586

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和56年(1981)6月12日

G 09 F 9/30

7013-5C

G 02 F 1/133

7348-2H

G 09 F 9/00

7129-5C

H 01 J 17/48

7520-5C

発明の数 1

審査請求 未請求

(全 8 頁)

⑮ 表示装置

門真市大字門真1006番地松下電

器産業株式会社内

⑯ 特 願 昭54-147932

⑰ 出 願 人 松下電器産業株式会社

⑱ 出 願 昭54(1979)11月14日

門真市大字門真1006番地

⑲ 発 明 者 塚本勝秀

⑳ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

表示装置

2、特許請求の範囲

(1) ドットマトリクス形の表示パネルを設け、該表示パネルの駆動回路部を表示制御回路部から分離し、かつ上記駆動回路部を、分割された辺の長さの比が大きくかつ駆動出力端子の数がおおよそ残りの端子数に等しい集積回路素子チップによって構成して該表示パネルに分散固着させたことを特徴とする表示装置。

(2) 駆動回路部の集積回路素子チップの辺の比が3より大きいことを特徴とする特許請求の範囲第1項記載の表示装置。

(3) 駆動回路部の集積回路素子のチップの駆動出力端子の数 N が $M/2 \leq N \leq 1.3M$ (M は駆動出力端子以外の端子の数) であることを特徴とする特許請求の範囲第1項記載の表示装置。

(4) 駆動回路部の集積回路素子のチップ内に、表示用信号が入力されるシストレジスタと、その内

容をラッチするラッチ回路と、その出力に応じて駆動波形を発生する回路とを含むことを特徴とする特許請求の範囲第1項記載の表示装置。

(5) 駆動回路部の集積回路素子のチップがフレキシブルフィルム上に分散されて取り付けられ、該フレキシブルフィルムが表示パネルに固着されていることを特徴とする特許請求の範囲第1項記載の表示装置。

(6) 駆動回路部の集積回路素子のチップがプリント基板上に分散されて取り付けられ、該プリント基板が表示パネルに固着されていることを特徴とする特許請求の範囲第1項記載の表示装置。

(7) 駆動回路部の集積回路素子のチップの1つがキャラクタセネレータを含んでいることを特徴とする特許請求の範囲第1項、第2項、第3項または第4項記載の表示装置。

3、発明の詳細な説明

本発明は、ドットマトリクス形の表示板を用いた表示装置に関し、特に小型で汎用性のある表示装置を提供しようとするものである。

特開昭56-70586(2)

3.

従来から、ダイナミック駆動あるいはドットマトリクス駆動と呼ばれる表示板の駆動法がよく知られている。その表示板の構成はEL板、プラズマディスプレイパネル、液晶パネル等の表示体により多少異なるが、基本的には同等である。すなわち、相対向する水平方向の平行な行電極群と垂直方向の平行な列電極群とを有し、それらの間に表示体（EL発光体、発光ガス、液晶等）が挟み込まれる。行電極群を1本ずつパルスで走査し、この行と交叉している列電極に走査パルスに同期した表示信号を与えて、行電極群と列電極群との交点を点滅させて文字数字等を表示する。

表示板を設けた装置（以後表示システムと称す）は第1図のような構成である。計算機部、あるいは、計測器等を示すブロック1からの信号は表示制御部2に送られ、表示に必要な信号に変換され、一時記憶装置3に蓄積されて、駆動波形発生回路4を通して、表示部分6にデータを表示する。

通常、表示制御部2は文字コードメモリ、キャラクターゼネレータ、タイミング発生回路等を含む、

6

数のシリアルデータが送り出された時に発生され、表示部分の各桁に表示すべきデータを表示記憶部3が取り込む時刻を知らせる。なお、行選択信号33は行駆動回路（第3図の上側、水平方向の行電極群を駆動する回路）に送られる。

第1図中の表示記憶部3は単なるシフトレジスタであり、表示データを記憶するだけである。タイミングの関係で表示データを記憶しておくホールド回路（ラッチ回路）を含むこともある。また、第1図中の駆動波形発生回路4は、対象となる表示部分のいかんによって異なるものである。上記シフトレジスタ、ラッチ回路、駆動波形発生回路は、第3図の下側基板42上の列電極44の1つ1つにそれぞれ対応して1つづつあり、入力されたシリアルデータ32に従って、各電極44に特定の信号波形を印加する。

以下、液晶表示板について述べる。その他の表示板においても、単に印加電圧の大きさ、信号波形が異なるだけである。

液晶表示板の場合は、一般的に表示板は第3図

例えば第2図のようなものである。ここで、表示文字データ21は表示位置指定信号22に従って書き込み制御信号23により制御されてデータメモリ26の指定の位置に書き込まれる。書き込み制御信号がないときにはデータセレクト25により制御されて、タイミング発生回路24によりデータメモリ26の内容が次々に読み出され、キャラクターゼネレータ27に送られる。データメモリ26からの信号で文字が選択され、タイミング発生回路24からの行選択信号33により、表示文字におけるその行のデータがパラレルシリアル信号変換器28に入力され、シリアル信号として表示記憶部3に送られる。ラッチ信号29はキャラクターゼネレータからのパラレル出力を一度に記憶する信号である。

この記憶された信号はクロック30によりシリアルデータ32として送り出される。なおこのクロック30は次段の記憶部3にシリアルデータ32を送り込むためのクロックパルスである。

ストローブ信号31は、表示部分の桁数に応じた

6

のような構成である。透明な上下基板41、42の上にそれぞれ透明な行電極群43、列電極群44が設けられている。この上下基板41、42の間に液晶（図示せず）が挟み込まれ、上下の電極間は6〜12μmに保たれるのが普通である。周囲は液晶が流れ出さないように樹脂やガラスで封じられ、各電極43、44の端部が外部に露出される。通常この露出した電極からリード線を引き出し、駆動回路に結線される。1文字を5（列）×7（行）のドットとして文字や数字を表示する場合は、横方向が32桁である場合は、 $7 \times (5 \times 32) = 1120$ 本のリード線がパネルから引き出されることになる。

従来の表示板を含む装置では、第1図の破線で囲んだ部分、あるいは、一点鎖線で囲んだ部分をLSIとし、表示パネルからリード線を多ピンパッケージを使ってLSIと結合するようになっている。ところが、多ピンパッケージでも40〜60ピンが限度であり、それ以上のリード線に対しては3つあるいは4つにLSIを分割し配線してい

特開昭56-70586(3)

7

た。そのためLSIが載せられているプリント基板上で広い配線領域を必要としたし、また表示板との結合も信号線が多いためやっかいであった。

本発明は、上記問題を解決すべく考案されたものである。

その目的は表示パネルの駆動回路部分を分離し、これ等を更に最適に分割して多チップ化し、かつチップの辺の長さの比が大きいチップとし更にパネルに密着するようにすることにより経済的にも目的を達せられるものである。

第4図にその実施例を示す。第4図では、第3図における下側基板のみが描いてあり、かつ列電線は1本の線のみで示してある。回路との接続用のパッド46には、例えば第2図のシリアルデータ32、クロックパルス30、ストローブ信号31、電源、駆動波形発生に必要な信号(後述)等が加えられる。これ等の信号は、駆動回路方式により異なり、信号線47の数も当然異なる。しかし本発明を用いない場合に比べて極端にパネルから取り出すリード線の数は少なく、表示桁数に依存しない。

9

304に取込むタイミングを与える信号である。信号選択回路305はラッチ304の出力で信号VaあるいはVbを選択する。Va、Vbは例えば第10図a、bのような信号である。従って、出力端子1~10には例えば第5図aのような波形の電圧信号が得られ、10本の電極をそれぞれ駆動できるようになっている。図においてVavは平均直流電圧である。

第5図aにおいて、時刻 T_1, T_3, T_4 では信号Vbを選択していて、時刻 T_2, T_5 では信号Vaを選択している。第5図において用いられた回路は全てよく知られたものである。第5図の例においては信号端子及び電源の端子が第5図のように外部で配線が交叉しないように作られている。即ち、このICチップ45を多数個配列する場合に第5図のように互いに交ることなく配線できるようにしてある。外部に多層配線が許される場合はVa、Vb、VDD、VSS、ST、D、CLの7本で足りる。

ここで重要なことは、出力端子数を制限していることである。ICにおいてはボンディングのた

45はデータ記憶部と駆動波形発生回路を含む集積回路素子(IC)のチップである。そのデータ記憶部はシフトレジスタとラッチ回路とからなるが、ラッチ回路を含まない場合もある。また駆動波形発生回路は対象となる表示パネルにより異なるが、液晶パネルの場合であれば第10図bのような波形を発生できるように構成される。このICチップ45はパネルに直接取り付けられ、図には示していないが、チップの上には保護用の樹脂が流された後固化される。

次に、第5図はICチップ45の内部の1例を示す。

ICチップ45の本体301の上に液晶を駆動するのに必要な回路が載せられている。周辺の四角は入力信号用あるいは電源、あるいは出力信号用のパッドである。VDDとVSSは電源で、例えばそれぞれ+5Vとアースである。STはストローブ信号であり、データ入力端子Dから入ったシリアルデータがシフトレジスタ303内をクロックCLで送られている時に必要なデータをラッチ

10

めあるいはサージ耐圧のためにパッドの大きさは120μ角以上の大きさが要求され、また、その間隔はパッドの大きさと同程度以上広げられてバッファ回路等が置かれるのが一般的である。従って、1パッド当り300μの辺が必要であると考えられている。一方、駆動回路に必要な回路は、駆動電極数Nと同数のシフトレジスタの段数と同数のラッチと同数の信号選択回路である。それぞれの回路の幾何学的大きさは大きく見積ってシフトレジスタで100μ×150μ(スタティックDフリップフロップの場合)、ラッチ回路で100μ×100μ、信号選択回路で50μ×50μが一般的である。

今表示駆動用出力端子N本、その他の電源端子や信号端子(Va、Vb、VDD、VSS、ST、D、CL)7本とする。パッドだけを考えると、パッドは周辺部に並べられるから300×(N+7)μの周辺の長さが必要である。チップを正方形とすると、一辺75×(N+7)μの長さが必要である。チップ面積は $5.6 \times (N+7)^2 \times 10^3 \mu^2$ であ

特開昭56-70596(4)

12

る。一方チップ面積とチップの製造歩留りとの間には

$$Y = K_1 e^{-DA} \quad K_1: \text{製造条件によって変る定数}$$

D : 単位面積当りの欠陥密度

A : チップ面積

なる関係がある。一般的に $K_1 \approx 0.8$, $D \approx 0.06 \text{ mm}^{-2}$ であり、これを図示すると第7の実験となる。また $K_1 \approx 1$, $D \approx 0.1 \text{ mm}^{-2}$ とすると点線のようになる。

出力端子数60を考えるとおおよそ一辺5.0mm、面積にして25mm²必要であり、第7図から歩留りは高々30%になる。

一方、この面積のチップの中に必要な回路面積は、1/D フリップフロップ (0.1×0.15mm²) + ラッチ (0.1×0.1mm²) + 信号選択回路 (0.06×0.0mm²) 1×N であり必要な面積は1.05mm²である。パッド部分の面積は120μ×300μ×(60+7)=2.41mm²で合計4mm²しか必要としない。残りの21mm²は空白となり非常に効率(バ

13

$$A_S = 0.0025 \text{ mm}^2, A_P = 0.036 \text{ mm}^2, L_P = 0.3 \text{ mm}.$$

M については第5図に見られるように、チップ外で配線が交差しないようにまた信号線が1本増加したと考えて $M=15$ とする。式1は

$$0.025 \times 10^{-3} N^2 + 0.10525 N + 0.725625 = 0$$

となり、この式は N のいかなる正の整数に対して解がなく、即ち N が0以上であればある程空白の部分が多くなる(バックング率が悪くなる)ことを示している。バックング率は悪くなることを覚悟して、歩留りを60%以上を考えると第7図からチップ面積はおおよそ5mm²となり、

$$|(L_P/4) \times (N+M)|^2 = 5 \text{ mm}^2$$

から $M=15$ の時 $N \approx 16$ となる。このようなチップ(5mm²)の場合は同一の大きさのウェハから良品が25mm²のものに比べておおよそ10倍も取れることになる。今良品チップ数を N_C とし、歩留りを考慮すると

$$N_C = K_1 e^{-DA} \cdot \pi r^2 / A \times 0.8 \quad \dots (2)$$

$$A = |(L_P/4) \times (N+M)|^2 \quad \text{チップ面積}$$

r : ウェハの半径

ックング率)の悪いICとなる。

従って表示板の駆動用ICとして望ましいのは

$$(A_D + A_L + A_S) \times N + A_P \times (N+M) = |(L_P/4) \times (N+M)|^2 \quad \dots (1)$$

A_D : D フリップフロップの面積

A_L : ラッチの面積

A_S : 信号選択回路の面積

A_P : パッドと隣り合うパッドとの空間を含めた面積

N : 表示駆動用出力パッド数

M : 電源, 入力信号等, 表示駆動用出力以外のパッド数

L_P : 1つのパッドに必要なチップ周辺の長さ。

を N が満足する時である。なお式(1)には、配線領域を含んでいないが、第5図、及びその説明からわかるように、信号は一方に流れる単純なものであるからほとんど配線領域を必要としない。

今、仮りに前述の値をそれぞれの変数に代入して見る。($A_D = 0.015 \text{ mm}^2$, $A_L = 0.01 \text{ mm}^2$,

14

となる。最後の0.8はウェハの周辺部を除くことを意味する。この値はチップ面積が大きい程減少するが今のところ一定とする。また1桁当りの電極数を5本(5×7ドットの列電極の駆動のみ考える。今は第3図の上側の行電極については考えない。)とすると1つのパネルに必要なチップ数は $(5N_D/N)$ (N_D : 桁数) であるから1ウェハからできるパネル数 N_P は

$$N_P = |K_1 e^{-DA} \cdot \pi r^2 / A| \times 0.8 / (5N_D/N) \quad \dots (3)$$

となる。今仮に $M=15$, $K_1=0.8$, $D=0.06 \text{ mm}^{-2}$, $N_D=32$, $r=38.1 \text{ mm}$ (3インチウェハ) とすると第8図のような結果を得る。横軸はチップの駆動用出力端子数、縦軸はパネル取数 N_P である。図には $M=15, 10, 7$ をパラメータにして描いてある。図からわかるように駆動用出力端子の数 N がそれ以外の端子数 M がそれよりより少し小さい所で、パネルの取数が最大となる。このピーク値の60%のパネル取数を選んで図のように線A, Bで結んで好ましい N の数を知ることができる。 N の下側の限界(B線)は $N_{\min} \sim M/2$ であ

16

り、上限（ A_{\max} ）は $N_{\max} \sim 1.3M$ とすることができ、（但し N_{\min} 、 N_{\max} は整数で $M/2$ の被数は切り上げる）

以上の結果はチップの形状を正方形と仮定した場合であるが、チップの形状が辺の長さの比にして、 $1:3$ とするとチップ面積 A は

$$A = \{L_p / 4 \times (N+M)\}^2 \times 3/4 \quad \dots\dots\dots (4)$$

となる。式 3 と 4 を用いて上記と同様に第 9 図を得る。この場合も 90 度のパネル取数で限界とし第 9 図と同様限界線 A 、 B を引くと図のようになり $N_{\min} \approx M/2$ 、 $N_{\max} \approx 1.3M$ となる。第 9 図においても、第 9 図においても M の小さい方では最大パネル取数の 90 度で切ると N_{\max} はもう少し大きくなる。

今チップの辺の比を P とするとチップ面積は

$$A = \{L_p \times (N+M)\}^2 \times P/4(P+1)^2 \quad \dots\dots\dots (5)$$

となる。このチップ面積を式 (2) に代入すると、これは P に関して単調増加関数になり、 P が大きい程、ウエハからパネルの取り数は大きいことがわかる。このことは前述したパッキング率の低さが

17

と、表示用の列電極に接続されるべき配線 62 からなる駆動部分 67 がある。駆動部分 67 は第 1 図 3、4 を含むものである。この駆動部分には駆動用 IC 63 が多数分散されて取り付けられていて、全体は表示パネル（60、61）に固着される。IC チップは外部から保護されるように樹脂で固められる。また駆動部分 67 は自動組立機により連続して作られることが可能であり、表示桁数に応じて切断して用いられることもできる。この場合全ての IC チップ間の配線部分に、パッドを設けておくと良い。

第 12 図は別の 1 例である。表示用基板 71 の上に表示用列電極 74 と本発明である駆動用 IC を分散配置し、各 IC チップを結合する信号線 76 と外部から信号を与えるパッド 75 を作りつけたプリント板 72 が載せられている。各駆動用の IC からの出力はプリント板を通して（例えばスルーホール）表示用桁電極に接続される。

以上においては、液晶表示パネルを中心に説明したが、本発明の要素は他の表示パネル、例えば

特開昭 56-70596(5)

緩和されることを意味する。即ちチップの辺の比を大きくすることが好ましい。

P が 3 以上になるとチップが割れやすくなるがパネル取数から $P > 3$ が好ましい。

なお、第 3 図の行電極群 43 の駆動については、第 2 図の行選択信号によって制御される多少異った回路になり、かつ本数も少いため IC を作ることにより、機能を果たすことができるが、この場合でも本発明を適用するとなお好ましい。

以上のように本発明は、表示システムにおいて、表示制御回路部と駆動回路部とを切り離し、かつ駆動用 IC チップの辺の長さの比を大きく取り、表示用出力端子数 N を $M/2 \leq N \leq 1.3M$ (M は表示用出力端子以外の端子数) として、チップを複数個に分割し、表示パネルに固着させることである。

第 11 図は別の実施例である。基板 80 の上に作られた表示用の列電極 81 があり、また別に設けられたフレキシブルなフィルム 86 の上に駆動用 IC 83、パッド 84 に接続された信号線 85

18

EL、プラズマ等に応用できるものである。

以上の実施例においては、IC チップの内容はシフトレジスタ、ラッチ、駆動波形発生回路に限られたが、他の回路を含む場合でも回路が著しく大きくならない限り本発明が適用できるものである。

説明中に述べられたが IC チップは大部分の面積がパッドで占められ余白部分がかなりあり付加的な回路は入る余地がある。例えばキャラクタセネレータを入れることも可能である。この場合は、多数ある IC チップの全てにキャラクタセネレータを組み込むことは無駄であるから 1 つのみに組み込めば良く、6×7 ドット表示では行電極用 IC チップに組み込むことが得策である。

以上説明したように本発明を用いれば、表示部分の取り扱いが容易となり（必要な信号線の数が極端に減り）装置全体が小型になると共に表示制御部分が簡素化され（LSI のピン数が少くなり）経済性に富んだ優れた表示板を得ることができる。

4. 図面の簡単な説明

特開昭56-70586(6)

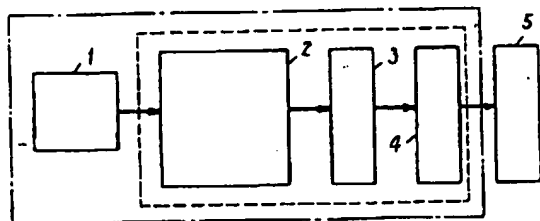
20

19

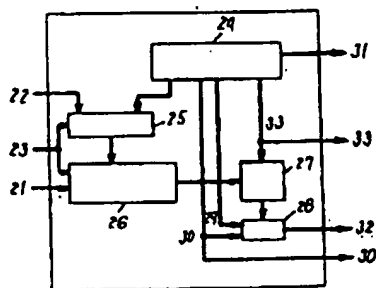
第1図は本発明の一実施例における表示装置を用いた表示システムのブロック図、第2図はその表示制御部の内容を示すブロック図、第3図はその表示パネルの斜視図、第4図は本発明の一実施例の表示装置の一部の斜視図、第5図はそのICチップの内容を示す平面図、第6図はそのICチップ間の接続を示すブロック図、第7図はそのICチップの多留り率を示す特性図、第8図は3インチウェハから取れる正方形のパネル数を示す特性図、第9図は3インチウェハから取れる長方形のパネル数を示す特性図、第10図は信号波形と駆動波形を示す波形図、第11図は本発明の別の実施例を示すブロック図、第12図は本発明のさらに別の実施例を示すブロック図である。

1 …… 計算機部あるいは計測器部、2 …… 表示制御部、3 …… 一時記憶装置、4 …… 駆動波形発生回路、5 …… 表示部分（表示パネル）、24 …… タイミング発生回路、25 …… データセレクト、26 …… データメモリ、27 …… キャラクタゼネレータ、28 …… パラレル

第 1 図



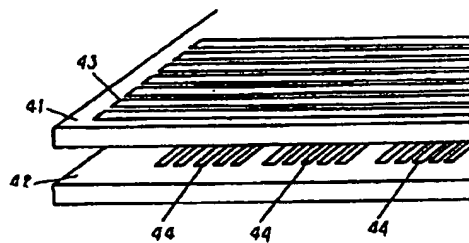
第 2 図



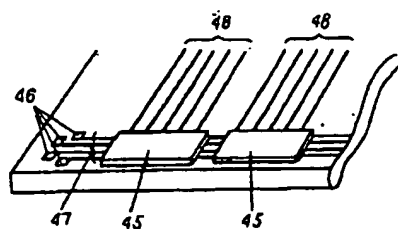
シリアル変換器、44、43、48、61、74 …… 表示パネル電極、41、42 …… 基板、46、64、75 …… パッド、47、66、76 …… 信号線、45、63、73 …… 駆動用IC、66 …… フレキシブル板、72 …… プリント板、301 …… ICチップ、302 …… パッド、303 …… シフトレジスタ、304 …… ラッチ、305 …… 駆動波形発生回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

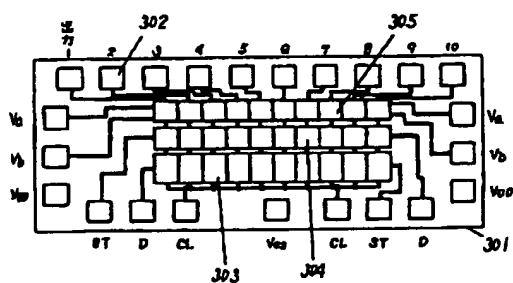
第 3 図



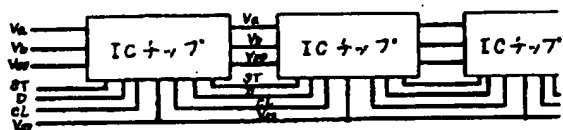
第 4 図



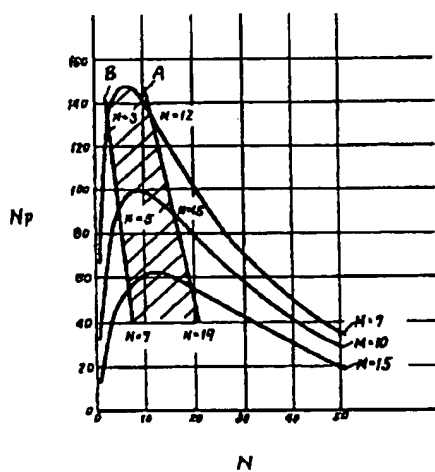
第 5 図



第 6 図

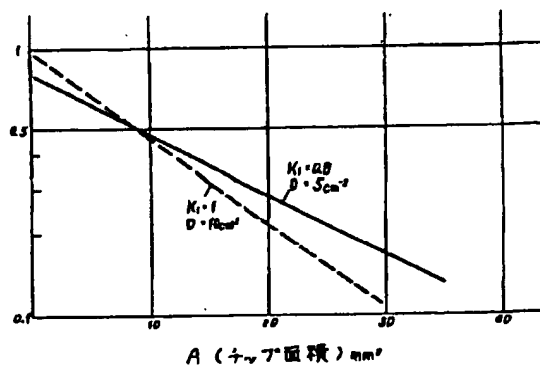


第 9 図

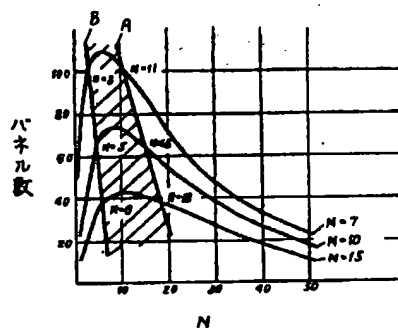


第 7 図

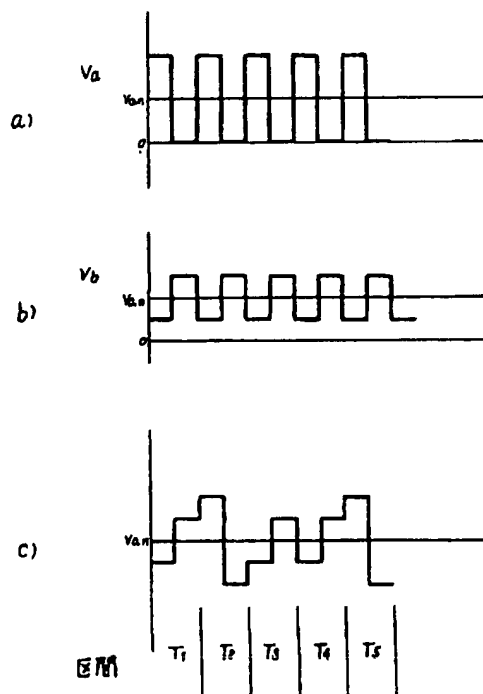
特開昭56-70596(7)



第 8 図

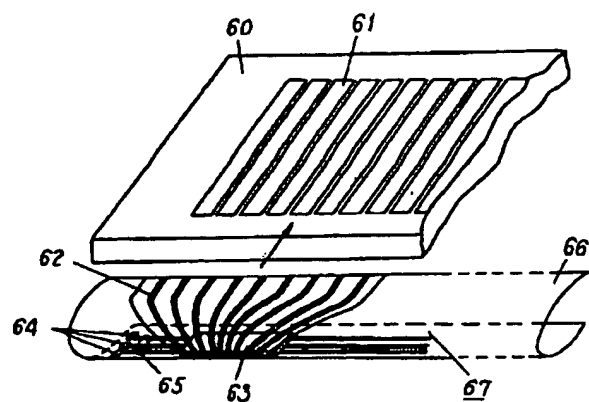


第 10 図

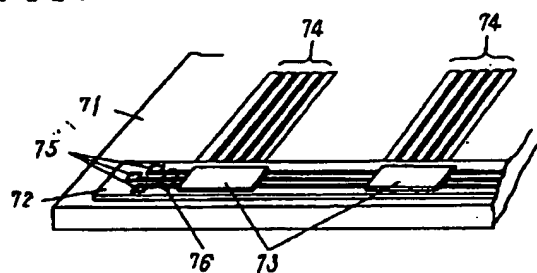


特開昭56-70596(8)

第 11 図



第 12 図



English Translation of JP56-70586**(19) Japanese Patent Office (JP)****(11) Publication Number: Sho 56-70586****(43) Date of publication of application: June 12, 1981****5 (12) Patent Laid-open Official Gazette (A)****(51) Int.Cl.³****G 09 F 9/30****G 02 F 1/133****G 09 G 9/00****10 H 01 J 17/48****The Number of Invention: 1 (8 pages in total)****Request of Examination: not made****(54) Title of the Invention: DISPLAY DEVICE****(21) Application number: Sho 54-147932****15 (22) Date of filing: November 14, 1979****(71) Applicant: Matsushita Electric Industrial Co., Ltd.****1006, Oaza Kadoma, Kadoma City, Osaka, Japan****(72) Inventor: Katsuhide TSUKAMOTO****c/o Matsushita Electric Industrial Co., Ltd.****20 1006, Oaza Kadoma, Kadoma City, Osaka, Japan****(74) Representative: Patent attorney:****Toshio NAKAO (and another)****Specification****25 1. Title of the Invention****DISPLAY DEVICE****2. Scope of Claim****1) A display device characterized in that:****a dot matrix type display panel is provided;****30 a driver circuit portion of the display panel is separated from a display control circuit portion;**

the driver circuit portion is formed by an integrated circuit element chip of which ratio of length of the divided side is high and the number of driving output terminals is approximately equal to the number of the rest of terminals and then dispersed and fixed on the display panel.

2) The display device according to claim 1, characterized in that the ratio of length of the side of the integrated circuit element chip in the driver circuit portion is higher than 3.

3) The display device according to claim 1, characterized in that a number N of driving output terminal of the integrated circuit element chip in the driver circuit portion is $M/2 \leq N \leq 1.3M$ (M is the number of terminals other than the driving output terminals).

4) The display device according to claim 1, characterized by comprising in the integrated circuit element chip in the driver circuit portion:

a shift register which is inputted with a display signal;

a latch circuit which latches the signal; and

a circuit which generates a drive waveform according to the output.

5) The display device according to claim 1, characterized in that:

the integrated circuit element chip in the driver circuit portion is dispersed and mounted on a flexible film; and

the flexible film is fixed on the display panel.

6) The display device according to claim 1, characterized in that:

the integrated circuit element chip in the driver circuit portion is dispersed and mounted on a printed substrate; and

the printed substrate is fixed on the display panel.

7) The display device according to claim 1, 2, 3, or 4, characterized in that one integrated circuit element chip in the driver circuit portion comprises a character generator.

3. Detailed Description of the Invention

The present invention relates to a display device using a dot matrix type display panel and in particular, provides a compact and multipurpose display device in particular.

A dynamic drive or a dot matrix drive has been known well as a driving method of a display panel conventionally. A structure of the display panel is somewhat different depending on a display element such as an EL panel, a plasma display panel, a liquid crystal panel and the

like, although it is basically equivalent. That is, row electrodes which are parallel to each other provided in a parallel direction and column electrodes which are parallel to each other provided in a vertical direction face each other, and a display element (EL light emitter, light emitting gas, liquid crystal and the like) is sandwiched therebetween. The row electrodes are scanned per
5 one line by a pulse and a column electrode which crosses this row is supplied with a display signal in synchronization with a scan pulse, then text, a number and the like are displayed by turning on and off intersections between the row electrodes and the column electrodes.

FIG. 1 shows a configuration of a device provided with a display board (hereinafter referred to as a display system). A signal from a block 1 showing a calculator portion or a
10 counter portion and the like is transferred to a display control portion 2, converted to a signal required for a display, accumulated in a temporary memory device 3, and then data is displayed on a display portion 5 through a drive waveform generating circuit 4.

In general, the display control portion 2 includes a text code memory, a character generator, a timing generating circuit and the like, for example, as shown in FIG. 2. Here,
15 display text data 21 are controlled by a write control signal 23 in accordance with a display position determining signal 22 and written to a determined position in a data memory 26. When there is no write control signal, a data selector 25 controls and the data memory 26 is read out by the timing generating circuit 24 sequentially and transferred to a character generator 27. Text is selected by a signal from the data memory 26, data of the row in display text is inputted
20 to a parallel-serial signal converter 28 by a row selecting signal 33 from the timing generating circuit 24, thereby transferred to a display memory portion 3 as a serial signal. A latch signal 29 is a signal which stores parallel outputs from the character generator all at once.

The stored signals are transferred by a clock 30 as serial data 32. Note that the clock
25 30 is a clock pulse for transferring the serial data 32 to the memory portion 3 of a subsequent stage.

A strobe signal 31 is generated when serial data corresponding to the digit number of a display portion are transferred and determines the timing at which the display memory portion 3 takes in data to be displayed in each digit of the display portion. Note that the row selecting signal 33 is transferred to a row driver circuit (a circuit which drives row electrodes in a parallel
30 direction on a top side of FIG. 3).

The display memory portion 3 in FIG. 1 is simply a shift register which stores display data. In some cases, the display memory portion 3 includes a hold circuit (latch circuit) which stores display data in consideration of timing. Moreover, the drive waveform generating circuit 4 in FIG. 1 changes depending on a display portion. The shift register, the latch circuit, and the drive waveform generating circuit are provided one each corresponding to each of column electrodes 44 on a bottom substrate 42 in FIG. 3 and apply a specific signal waveform to each of the electrodes 44 in accordance with the serial data 32.

Hereinafter description is made on a liquid crystal display board. Other display boards are applicable by simply changing a level of voltage applied and a waveform.

In the case of a liquid crystal display board, a display board generally has a structure as shown in FIG. 3. Transparent row electrodes 43 and the column electrodes 44 are provided on a top and bottom transparent substrates 41 and 42 respectively. These top and bottom substrates 41 and 42 sandwich liquid crystal (not shown) and a space between the top and bottom electrodes is typically maintained 6 to 12 μm . The periphery is sealed by resin and glass so that the liquid crystal does not flow out and edges of the electrodes 43 and 44 are externally exposed. A lead wiring is typically lead out from this exposed electrode and connected to a driver circuit. In the case of displaying text and a number as 5 (columns) \times 7 (rows) dots per one letter, with 32 digits in a lateral direction, $7 + (5 \times 32) = 167$ lines of lead lines are lead out from the panel.

In a conventional device comprising a display board, a portion surrounded by a dashed line or a portion surrounded by a chain line in FIG. 1 is formed by an LSI to which a lead wiring is connected from a display panel by using a package having a number of pins. However, even the package having a number of pins can have 40 to 60 pins at most, therefore, an LSI is divided into three or four in order to connect to more lead wirings. Accordingly, the LSI requires a large wiring region on a printed substrate and a connection with a display board is complicated because of too many signal lines.

The invention is made in order to solve the aforementioned problems.

An object of the invention is to divide a driver circuit portion of a display panel, make multiple chips by further dividing this and the like optimally so that a ratio of length of sides of a chip becomes high, and fix the chips on a panel, thereby an object is also achieved economically.

FIG. 4 shows an embodiment thereof. In FIG. 4, the bottom substrate in FIG. 3 only is

shown, of which column electrode is shown by only one line. For example, the serial data 32, the clock pulse 30, the strobe signal 31 in FIG. 2, a power source, a signal required to generate a drive waveform (described later) and the like are applied to pads 46 for connecting to a circuit. Such signals as well as the number of signal lines 47 are different depending on a driver circuit method. However, the number of lead wirings taken out from the panel is smaller than the case without using the invention independent of a display digit number. Reference numeral 45 denotes a integrated circuit element (IC) chip including a data memory portion and a drive waveform generating circuit. The data memory portion is formed by a shift register and a latch circuit, however, the latch circuit is not included in some cases. Further, the drive waveform generating circuit is different depending on a display panel. In the case of a liquid crystal panel, the drive waveform generating circuit is configured so that a waveform as shown in FIG. 10c can be generated. The IC chip 45 is directly mounted on a panel and protective resin is poured over the chip and solidified, although not shown.

Next, FIG. 5 shows an internal portion of the IC chip 45 as an example.

Circuits required for driving liquid crystal are mounted on a main body 301 of the IC chip 45. Four corners in the periphery thereof are provided with pads for inputted signals, a power source, or outputted signals. V_{DD} and V_{SS} are power sources which are, for example, +5 V and an earth respectively. ST denotes a strobe signal which gives a timing to take required data in a latch 304 when the serial data inputted from a data input terminal D is transferred in a shift register 303 in accordance with a clock signal CL. A signal selecting circuit 305 selects a signal V_a or V_b according to an output of the latch 304. V_a and V_b are such signals as a and b in FIG. 10. Accordingly, voltage signals having a waveform as shown in FIG. 5c can be obtained at output terminals 1 to 10 so that each of ten electrodes can be driven respectively. In the drawing, V_{av} is a mean direct voltage.

In FIG. 5c, in times T_1 , T_3 , and T_4 , the signal V_b is selected while the signal V_a is selected in times T_2 and T_5 . The circuits used in FIG. 5 are all well known circuits. In an example of FIG. 5, a signal terminal and a power source terminal are designed so as not to cross each other as shown in FIG. 6. That is, in the case of arranging a number of IC chips 45, wirings do not cross each other as shown in FIG. 6. In the case where a multiple wirings are allowed externally, seven wirings for V_a , V_b , V_{DD} , V_{SS} , ST, D, and CL are sufficient.

What is important here is that the number of output terminals is limited. In an IC, size of a pad is required to be $120\ \mu$ or more on a side for bonding or withstanding surge voltage. Also, it is general that a space approximately the same as the size of a pad or more is taken for a buffer to be disposed. Therefore, it is considered that $300\ \mu$ or more on one side is required per one pad. On the other hand, circuits required for a driver circuit are a shift register having the same number of stages, the same number of latches, and the same number of signal selecting circuits as the number N of driving electrode. A geometrical size of each circuit is generally $100\ \mu \times 150\ \mu$ for a shift register (in the case of a static D flip-flop), $100\ \mu \times 100\ \mu$ for a latch circuit, $50\ \mu \times 50\ \mu$ for a signal selecting circuit.

Here, output terminals for display drive are provided N and other power source terminals and signal terminals (V_a , V_b , V_{DD} , V_{SS} , ST , D , and CL) are provided seven. When a pad only is considered, $300 \times (N + 7)\ \mu$ is required for the length of periphery since pads are arranged in a periphery portion. Provided that a chip has a square shape, $75 \times (N + 7)\ \mu$ is required on one side. A chip area is $5.6 \times (N + 7)^2 \times 10^3\ \mu^2$. On the other hand, there is a following relation between the chip area and a production yield of a chip.

$$Y = K_1 e^{-DA}$$

K_1 : a constant number which changes depending on a production condition.

D : defect density per unit area

A : chip area

Generally, $K_1 \sim 0.8$ and $D \sim 0.05\ \text{mm}^{-2}$ are satisfied, which are shown in a line in FIG 7. whereas a broken line corresponds to the case where $K_1 \sim 1$ and $D \sim 0.1\ \text{mm}^{-2}$ are satisfied.

In the case where the number of the output terminals is 60, $5.0\ \text{mm}$ on one side, that is an area of $25\ \text{mm}^2$ is required. An yield of 30 % at most is obtained in FIG 7.

On the other hand, a circuit area required in a chip of this area are {a D flip-flop ($0.1 \times 0.15\ \text{mm}^2$) + a latch ($0.1 \times 0.1\ \text{mm}^2$) + a signal selecting circuit ($0.05 \times 0.0\ \text{mm}^2$)} $\times N$, that is an area of $1.65\ \text{mm}^2$. An area of a pad portion is $120\ \mu \times 300\ \mu \times (60 + 7) = 2.41\ \text{mm}^2$. Therefore, total of only $4\ \text{mm}^2$ is required. The rest of $21\ \text{mm}^2$ is vacant, which results in quite an inefficient (packing rate) IC.

Therefore, a driving IC of a display board is desirable when N satisfies the following

formula.

$$(A_D + A_L + A_S) \times N + A_P \times (N + M) = \{(L_P / 4) \times (N + M)\}^2 \quad \dots (1)$$

A_D : area of D flip-flop

A_L : area of latch

5 A_S : area of a signal selecting circuit

A_P : area including a pad and a space between adjacent pads

N : the number of output pads for display drive

M : the number of pads for a power source, an input signal and the like besides an output pad for display drive

10 L_P : length of a periphery of a chip required for one pad

Note that the formula (1) does not include a wiring region, however, a signal simply flows in one direction, therefore, a wiring region is not required almost at all as is clear from FIG 5 and the description thereof.

15 Now, the aforementioned values are substituted by variables respectively ($A_D = 0.015 \text{ mm}^2$, $A_L = 0.01 \text{ mm}^2$, $A_S = 0.0025 \text{ mm}^2$, $A_P = 0.036 \text{ mm}^2$, and $L_P = 0.3 \text{ mm}$). As for M , $M = 15$ is set, assuming that wirings do not cross each other outside the chip and one signal line is added as shown in FIG 5. The formula 1 is obtained as follows.

$$5.625 \times 10^{-3} N^2 + 0.10525 N + 0.725625 = 0$$

20 This formula does not generate a solution with any of positive integer, that is, as N becomes larger than 0, a vacant space increases. (a packing rate becomes low). To obtain 60 % or more of yield, knowing that the packing rate becomes low, a chip area becomes approximately 5 mm^2 from FIG 7.

$$\{(4 / 4) \times (N + M)\}^2 = 5 \text{ mm}^2$$

25 Therefore, when $M = 15$ is satisfied, $N = 15$ is satisfied. In the case of such a chip (5 mm^2), a non-defective chip can be produced 10 times as many as compared to a chip of 25 mm^2 in size from a wafer of the same size. Now, a yield is considered with the number of non-defective chips as N_C .

$$N_C = K_1 e^{-DA_{pr}^2} / A \times 0.8 \quad \dots (2)$$

30 $A = \{(L_P / 4) \times (N + M)\}^2$ chip area

r : radius of a wafer

The number 0.8 implies that a periphery portion of the wafer is excluded. This value decreases as the chip area increases, although it is constant here. The number of electrodes per digit is assumed to be five (drive of column electrodes of 5×7 dots only is considered. Here, 5 row electrodes on the top side in FIG. 3 are not considered). Then, the number of chips required for one panel is $(5N_D/N)$ (N_D : digit number), therefore, the number of panels N_P made from one wafer is as follows.

$$N_P = \{K_1 e^{-DA} \cdot \pi r^2 / A\} \times 0.8 / (5N_D/N) \quad \dots (3)$$

Now, provided that $M = 15$, $K_1 = 0.8$, $D = 0.05 \text{ mm}^{-2}$, $N_D = 32$, and $r = 38.1 \text{ mm}^2$ (3-inch wafer) are satisfied, a result as shown in FIG. 8 is obtained. An abscissa indicates the number of driving output terminals of a chip while an ordinate indicates the number of panels N_P . FIG. 8 is drawn as parameter of $M = 15$, 10, and 7. As seen, the number of panels becomes the largest when the number N of driving output terminals is equal to or a little smaller than the number of other terminals M . A preferable number of N can be obtained by selecting 90 % of the number of panels at the peaks and connecting them by lines A and B as shown in FIG. 8. A bottom limit of N (line B) is N_{\min} to $M/2$ while a top limit (line A) is N_{\max} to $1.3 M$. (However, N_{\min} and N_{\max} are integers and a fraction of $M/2$ is round out.)

The aforementioned result corresponds to the case where a chip has a square shape. In the case where a ratio of sides of a chip is 1 : 3, a chip area A is as follows.

$$A = \{L_P/4 \times (N + M)\}^2 \times 3/4 \quad \dots (4)$$

FIG. 9 is obtained similarly by using the formulas 3 and 4. In this case also, by providing limit lines A and B similarly to FIG. 8 as 90 % set as a limit of the number of panels, FIG. 9 can be obtained. Thus, $N_{\min} = M/2$ and $N_{\max} = 1.3 M$ are satisfied. In both FIGS. 8 and 9, N_{\max} becomes a little larger with 90 % of the maximum number of panels as a limit in the case where M is small.

Provided that a ratio of sides of a chip is P , a chip area is as follows.

$$A = \{L_P \times (N + M)\}^2 \times P/4 (P + 1)^2 \quad \dots (5)$$

When this chip area is substituted in the formula (2), a monotone increasing function is obtained relative to P . Thus, the number of panels taken from a wafer is larger as P is larger.

This means that the aforementioned low packing rate is alleviated. That is, it is preferable that

the ratio of sides of a chip be high.

When P becomes 3 or more, a chip becomes easily broken, however, $P > 3$ is preferable in consideration of the number of panels.

Note that in driving the row electrodes 43 in FIG. 3, a somewhat different circuit
5 controlled by a row selecting signal in FIG. 2 is obtained, and the number of lines is small. Therefore, a function can be satisfied by providing an IC, however, applying the invention is more preferable in this case also.

As described above, according to the invention, a display control circuit portion and a driver circuit portion are separated in a display system. Moreover, a ratio of length of sides of a
10 driving IC chip is made large and the number of output terminals for display N is $M / 2 \leq N \leq 1.3 M$ (M is the number of terminals other than the output terminals for display), thus a the chip is divided into a plurality and fixed on a display panel.

FIG. 11 shows another embodiment. There is a column electrode 61 for display formed on a substrate 60. A driving IC 63, a signal line 65 connected to pads 64, and a driver
15 portion 67 formed of wirings 62 to be connected to the column electrodes for display are provided on a flexible film 66 provided separately. The driver portion 67 includes 3 and 4 in FIG. 1. A number of the driver ICs 63 are dispersed and mounted in this driver portion which is fixed to a display panel (60 and 61). The IC chip is solidified by resin to be protected from outside. The driver portion 67 can be continuously formed by an auto-assembly machine and
20 can be used by cutting according to a display digit number. In this case, it is preferable to provide pads in a wiring portions between all the IC chips.

FIG. 12 shows another example. Column electrodes 74 for display and a driving IC are dispersed and provided, and a printed substrate 72 on which signal lines 76 which connect each IC chip and pads 75 for supplying signals from outside are formed is mounted on a substrate 71
25 for display. An output from each driving IC is connected to a digit electrode for display through the printed substrate (for example, a through-hole).

Heretofore a liquid crystal display panel is mainly described, however, the element of the invention can be applied to other display panels such as an EL and plasma.

In the aforementioned embodiments, contents of the IC chip are limited to a shift
30 register, a latch, and a drive waveform generating circuit, however, the invention can also be

applied to the case where other circuits are included as long as a circuit does not become extremely large.

Although already described above, an IC chip is largely occupied by pads, thus there is a vacant portion for providing additional circuits. For example, a character generator can be provided as well. In this case, as it is wasteful to incorporate a character generator in all of the IC chips, a character generator may be incorporated to only one IC chip. It is preferable to incorporate in an IC chip for row electrodes in the case of 5×7 dots display.

As described above, according to the invention, a display portion can be treated easily (the number of required signal lines is extremely decreased) and a device as a whole becomes compact as well as a display control portion is simplified (the number of pins in LSI becomes small), thus a display board superior in economical efficiency can be obtained.

4. Brief Description of the Drawings

FIG. 1 is a block diagram of a display system using a display device according to one embodiment of the invention. FIG. 2 is a block diagram showing contents of a display control portion thereof. FIG. 3 is a perspective view of the display panel. FIG. 4 is a perspective view of a portion of the display device of one embodiment of the invention. FIG. 5 is a plan view showing contents of an IC chip thereof. FIG. 6 is a block diagram showing connections between the IC chips. FIG. 7 is a characteristic diagram showing a yield rate of the IC chip. FIG. 8 is a characteristic diagram showing the number of square panels taken from a 3-inch wafer. FIG. 10 is a waveform diagram showing a signal waveform and a drive waveform. FIG. 11 is a block diagram showing another embodiment of the invention. FIG. 12 is a block diagram showing another embodiment of the invention.

1.....a calculator portion or a counter portion, 2..... a display control portion, 3..... a temporary memory device, 4..... a drive waveform generating circuit, 5..... a display portion (a display panel), 24..... a timing generating circuit, 25..... a data selector, 26..... a data memory, 27..... a character generator, 28..... a parallel-serial converter, 44, 43, 48, 61, and 74..... display panel electrodes, 41 and 42..... substrates, 46, 64, and 75..... pads, 47, 65, and 76..... signal lines, 45, 63, and 73..... driving ICs, 66..... a flexible substrate, 72..... a printed substrate, 301..... an IC chip, 302..... a pad, 303..... a shift register, 304..... a

latch, 305..... a drive waveform generating circuit

Representative: Patent attorney: Toshio NAKAO and another